

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

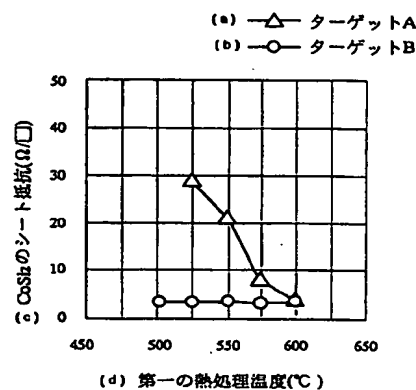
- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**



(51) 国際特許分類6 H01L 21/28, 29/78	A1	(11) 国際公開番号 WO98/42009  (43) 国際公開日 1998年9月24日(24.09.98)
(21) 国際出願番号 PCT/JP97/00810  (22) 国際出願日 1997年3月14日(14.03.97)  (71) 出願人(米国を除くすべての指定国について) 株式会社日立製作所(HITACHI, LTD.)(JP/JP) 〒101 東京都千代田区神田駿河台四丁目6番地 Tokyo, (JP) (72) 発明者; および (75) 発明者/出願人(米国についてのみ) 西原晋治(NISHIHARA, Shinji)(JP/JP) 〒185 東京都国分寺市北町二丁目10番13号 Tokyo, (JP) 池田修二(IKEDA, Shuji)(JP/JP) 〒184 東京都小金井市貫井北町3丁目30番8号 Tokyo, (JP) 橋本直孝(HASHIMOTO, Naotaka)(JP/JP) 〒184 東京都小金井市貫井北町1-6-23 ビジョンハイツ小金井402 Tokyo, (JP) 楓 弘志(MOMIJI, Hiroshi)(JP/JP) 〒185 東京都国分寺市西恋ヶ窪3-8-1 立恋ヶ窪寮 Tokyo, (JP) 阿部宏美(ABE, Hiromi)(JP/JP) 〒116 東京都荒川区南千住五丁目23番15号 Tokyo, (JP) 深田晋一(FUKADA, Shinichi)(JP/JP) 〒191 東京都日野市落川946 佐伯マンション101 Tokyo, (JP)		鈴木正恭(SUZUKI, Masayuki)(JP/JP) 〒185 東京都国分寺市東恋ヶ窪2-33-14 ライオンズマンション国分寺けやき公園201 Tokyo, (JP) (74) 代理人 弁理士 筒井大和(TSUTSUI, Yamato) 〒160 東京都新宿区西新宿7丁目22番45号 N.S. Excel 301 筒井国際特許事務所 Tokyo, (JP)  (81) 指定国 AL, AU, BA, BB, BG, BR, CA, CN, CU, CZ, EE, GE, GH, HU, IL, IS, JP, KR, LC, LK, LR, LT, LV, MG, MK, MN, MX, NO, NZ, PL, RO, SG, SI, SK, TR, TT, UA, US, UZ, VN, YU, ARIPO特許 (GH, KE, LS, MW, SD, SZ, UG), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), 欧州特許 (AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), OAPI特許 (BF, BJ, CF, CG, CI, CM, GA, GN, ML, MR, NE, SN, TD, TG).  添付公開書類 国際調査報告書
(54)Title: PROCESS FOR PRODUCING SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE  (54)発明の名称 半導体集積回路装置の製造方法  (57) Abstract A Co film is deposited on a major surface of a wafer by a sputtering method which employs a high purity Co target which has a Co purity of not less than 99.99 %, preferably 99.999 %, and Fe and Ni contents not larger than 10 ppm. The deposited Co film is turned to a Co silicide film which is in ohmic contact with the gate electrode, source and drain of a MOSFET with low resistances and causes little leak current.		



(a) ... target A  
(b) ... target B  
(c) ... sheet resistivity ( $\Omega/\square$ ) of  $\text{CoSi}_2$   
(d) ... first heat treatment temperature ( $^{\circ}\text{C}$ )

(57) 要約

C o純度が99.99%以上で、F eおよびN iの含有量が10ppm以下、より好ましくはC o純度が99.999%の高純度C oターゲットを用いたスパッタリング法によってウエハの主面上に堆積したC o膜をシリサイド化することにより、MOSFETのゲート電極、ソースおよびドレインの表面に低抵抗で接合リーク電流の少ないC oシリサイド層を形成する。

PCTに基づいて公開される国際出願のパフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード (参考情報)

AL	アルバニア	FI	フィンランド	LT	リトアニア	SN	セネガル
AM	アルメニア	FR	フランス	LU	ルクセンブルグ	SD	スーダン
AT	オーストリア	GB	イギリス	LV	ラトヴィア	TG	タンザニア
AZ	アゼルバイジャン	GE	ジョージア	MC	モナコ	TM	トルクメニスタン
BA	ボスニア・ヘルツェゴビナ	GH	ガーナ	MD	モルドバ	TR	トルコ
BB	バハマ	GM	ギニア	MG	マダガスカル	TT	トリニダード・トバゴ
BF	ブルキナ・ファソ	GN	ギニア・ビサウ	MK	マケドニア共和国	UA	ウクライナ
BG	ブルガリア	GR	ギリシャ	ML	マリ	UG	ウガンダ
BJ	ベナン	HU	ハンガリー	MN	モンゴル	US	米国
BR	ブラジル	IE	アイルランド	MR	モーリタニア	UZ	ウズベキスタン
BY	ベラルーシ	IL	イスラエル	MW	マラウイ	VN	ベトナム
CA	カナダ	IS	アイスランド	MX	メキシコ	ZW	ジンバブエ
CC	中央アフリカ共和国	IT	イタリア	NE	ニジェール		
CG	コンゴ	JP	日本	NL	オランダ		
CH	スイス	KE	ケニア	NO	ノルウェー		
CI	コートジボワール	KG	キルギス	NZ	ニュージーランド		
CM	カムeroon	KR	韓国	PL	ポーランド		
CN	中国	PR	北朝鮮	PT	ポルトガル		
CU	キューバ	RZ	ロシア連邦	RO	ルーマニア		
CY	キプロス	LC	セント・ルシア	RS	セルビア		
DZ	チュニジア	LL	リベリア	SE	スウェーデン		
DE	ドイツ	LK	スリランカ	SG	シンガポール		
DK	デンマーク	LR	レソト	SI	スロベニア		
EE	エストニア	LS	レソト	SK	スロバキア		
ES	スペイン			SL	シエラ・レオネ		

## 明 細 書

## 半導体集積回路装置の製造方法

## 5 技術分野

本発明は、半導体集積回路装置の製造技術に関し、特に、スパッタリング法によって成膜したC o（コバルト）膜を使用したシリサイド(Salicide; self aligned silicide)プロセスに適用して有効な技術に関するものである。

## 10 背景技術

従来、S i（シリコン）基板上に形成される半導体集積回路の電極、配線材料には、主として多結晶シリコンやA l（アルミニウム）が使用されてきた。しかし、近年の半導体素子の微細化に伴い、新たな電極、配線材料として、S iよりも低抵抗で、A lよりもエレクトロマイグレーション耐性が高い特長を備えたW（タングステン）、T i（チタン）、コバルトなどの高融点金属やそれらのシリサイド化合物の導入が進められている。

これらの電極、配線用高融点金属（シリサイド）膜は、高融点金属（シリサイド）の粉末を焼結して作製したターゲットをアルゴン中でスパッタすることによって、半導体ウエハ上に成膜される。

- 20 特開平6-192974号公報、特開平6-192979号公報および特開平7-3486号公報は、不純物、特にN i（ニッケル）とF e（鉄）の含有量を低減した純度99.999%（5N）以上の高純度C oを電解精製法により製造する技術を開示している。これらの高純度C oは、半導体デバイスの電極、配線（電極、ゲート、配線、素子、保護膜）に使用されるC o膜を成膜するためのC oターゲットの製造に適用される。

特開平5-1370号公報は、電極、配線の断線や短絡などを引き起こす原因となるパーティクルの発生を抑制できるスパッタリング用高融点金属シリサイドターゲットの製造方法を開示している。高融点金属としては、W、M o（モリブデン）、T a（タンタル）、T i、C o、C r（クロム）が例示されている。

高融点金属シリサイド膜は、上記のような高融点金属シリサイドのターゲットを使用して形成するほか、高融点金属膜とシリコンとを反応させることによって形成することも可能である。

- 特開平 7-321069 号公報は、Co などの強磁性体材料 20 atom% と、Ti などの常磁性体材料 80 atom% とで構成される複合金属ターゲットを用いた  
5 マグネトロン・スパッタリング法により、MOSFET (Metal Oxide Semiconductor Field Effect Transistor) を形成した半導体基板全面に Co-Ti 膜を形成し、熱処理によって多結晶シリコンゲート上およびソース、ドレイン上に Co  
シリサイド-Ti シリサイド混合層を形成した後、上記混合層の未反応部分をエ  
10 ッチングで除去し、次いで再度熱処理を行って混合層を低抵抗化する、いわゆるシリサイドプロセスを開示している。

#### 発明の開示

- ところで、0.25  $\mu\text{m}$  以下といったディープ・サブミクロンの設計ルールで製造される微細な MOSFET を使った大規模半導体デバイス的高速化、高性能化、  
15 低消費電力化を推進しようとする場合には、配線遅延の低減対策と並んで MOSFET 単体の高速化対策が不可欠である。これは、MOSFET を微細化していくとソース、ドレインの抵抗が増大し、これがトランジスタの高速動作を阻害する大きな要因となるからである。特に、2 V 以下の低電圧でトランジスタを駆動  
20 する低消費電力デバイスの場合は、MOSFET 単体の高速化対策が重要な課題となる。

- また、MOSFET を 2 V 以下の低電圧で駆動させる場合には、従来の p チャネル型 MOSFET のように、ゲート電極を n 型の多結晶シリコンで構成する埋込みチャネル型構造では、しきい値電圧 ( $V_{th}$ ) を制御することが困難になるため、その対策も必要となる。  
25

本発明者らは、MOSFET の高速化対策として、多結晶シリコンゲート上およびソース、ドレイン上に低抵抗の高融点金属シリサイド層を形成するシリサイドプロセスの導入を検討した。高融点金属材料としては、15  $\mu\Omega\text{cm}$  程度の低抵抗シリサイドが得られる Co を選択した。一方、MOSFET のしきい値電圧制

御対策として、pチャネル型MOSFETのゲート電極をp型多結晶シリコンで構成して表面チャネル型とし、nチャネル型MOSFETのゲート電極をn型多結晶シリコンで構成して表面チャネル型とするデュアルゲートCMOS構造の導入を検討した。このデュアルゲートCMOS構造を導入する場合には、p型多結晶シリコンゲートとn型多結晶シリコンゲートとの接続方法が問題となるが、多結晶シリコンゲート上にシリサイド層を形成する上記シリサイドプロセスと組み合わせることでこの問題は解決できる。

MOSFETの多結晶シリコンゲート上およびソース、ドレイン上にCoシリサイド層を形成するプロセスは、以下の通りである。

- 10     まず、MOSFETを形成した半導体基板上に、Coターゲットを用いたスパッタリング法でCo膜を堆積した後、熱処理によってCoとSiとを反応させ、ゲート、ソースおよびドレインのそれぞれの表面にCoシリサイド層を形成する（第1熱処理）。このとき得られるCoシリサイドは、 $50 \sim 60 \mu\Omega \text{ cm}$ と比較的高抵抗のモノシリサイド（CoSi）である。次に、未反応のCo膜をウェットエッチングで除去した後、もう一度基板を熱処理して上記モノシリサイドを低抵抗のジシリサイド（CoSi<sub>2</sub>）に相転移させる（第2熱処理）。
- 15

- ところが、本発明者が純度99.9%のCoターゲットを使って成膜したCo膜に第1の熱処理を施したところ、得られたCoモノシリサイド（CoSi）層の膜厚は、熱処理の温度変化に対して高い依存性を示した。具体的には、熱処理温度が高いほど膜厚が厚く、低いほど薄くなるといった現象が見られ、膜厚を安定に制御することが困難であった。このような膜厚のばらつきが生じる主な原因は、Coターゲット中に含まれるFeやNiなどの不純物遷移金属の一部がシリサイド化するためと考えられる。
- 20

- 上記の検討結果から、低抵抗のCoシリサイド層を得るためには、第1熱処理温度を高く設定してモノシリサイド層の膜厚を十分に確保する必要がある。しかし、モノシリサイド層の膜厚を厚くすると、ソース、ドレインのpn接合が $0.3 \mu\text{m}$ よりも浅くなる $0.25 \mu\text{m}$ MOSデバイスでは、接合リーク電流が増大してしまう。この接合リーク電流の増大は、基板中に侵入したCoとSiとの反応によって生じた過剰な格子間Siが集合、成長することによって生じると考えら
- 25

れる。

また、第1熱処理温度を高くすると、ソース、ドレインの端部において不所望なシリサイド化反応が起こり易くなるために、シリサイド層がフィールド絶縁膜上やゲート側壁絶縁膜上に延びる、いわゆる「はい上がり」が生じる結果、微細なMOSFETでは、ソース、ドレインとゲート間や、隣り合ったMOSFETのソース、ドレイン同士で短絡が発生する。特に、デュアルゲートCMOSに適用した場合には、pチャネル型MOSFETのゲート電極を構成するp型多結晶シリコン中の不純物であるB（ホウ素）がゲート酸化膜中に拡散し易くなるために、トランジスタの電気特性が変動するという問題も生じる。

10 他方、接合リーク電流の増大を回避するために第1熱処理温度を低めに設定してモノシリサイド層の膜厚を薄くした場合は、シリサイド層の抵抗が増大してしまう。また、熱処理温度が低いとシリサイド化反応の進行も遅くなるので、シリサイド層の抵抗が一層増大する。さらに、Coシリサイド層の膜厚が薄くなるとその耐熱性が低下するために、MOSFET形成後の熱処理工程（例えばNa（ナトリウム）などの金属をゲッタリングするためにP（リン）をドーブした酸化シリコン膜をMOSFETの上部に堆積し、次いでこの酸化シリコン膜を高温でシ

15 ンタリングする工程）でCoシリサイドの結晶粒が凝集する現象（アグロメレーション）が起こって抵抗が異常に増大する虞れがある。

そこで、本発明による半導体集積回路装置の製造方法は、以下の工程（a）～  
20 （d）を含んでいる。

（a）ウエハの主面にMOSFETを形成する工程、

（b）高純度のCoターゲットを用いたスパッタリング法によって、前記ウエハの主面上の少なくとも前記MOSFETのゲート電極、ソースおよびドレインのそれぞれの上部を含む領域にCo膜を堆積する工程、

25 （c）前記ウエハに第1の熱処理を施してCoとSiとを反応させることにより、前記MOSFETのゲート電極、ソースおよびドレインのそれぞれの表面にCoシリサイド層を形成する工程、

（d）前記Co膜の未反応部分を除去した後、前記ウエハに第2の熱処理を施して前記Coシリサイド層を低抵抗化する工程。

また、本発明による半導体集積回路装置の製造方法は、C o と S i との反応によってシリコンの表面にC o S i<sub>2</sub>層を形成するに際し、少なくとも第1熱処理温度依存性が小さく、膜厚制御性が向上したC o S i 層が得られる高純度C o ターゲットを用いてC o 膜を堆積することにより、C o S i<sub>2</sub>層のシート抵抗を1  
5 0 Ω/□以下とするものである。

本発明で使用する高純度C o ターゲットは、少なくともC o 純度が99.99%以上で、F e またはN i の含有量が10 p p m以下、あるいはF e およびN i の含有量が50 p p m以下である。より好ましくは、C o 純度が99.99%以上で、F e およびN i の含有量が10 p p m以下のもの、さらに好ましくはC o 純度が  
10 99.999%のものを使用する。

本発明において「ウエハ」とは、主にその表面領域に半導体集積回路装置を作り込む少なくとも一定の工程の後には、少なくとも一部が単一のまたは複数の単結晶領域（ここでは主にシリコン）からなる板状物をいう。また、本発明において「半導体集積回路装置」とは、通常の単結晶ウエハ上に作られたものの他、T  
15 F T液晶などのような他の基板上に作られたものも含むものとする。

その他、本願に記載された発明の概要を項分けして説明すれば以下の通りである。

- (1) 本発明の半導体集積回路装置の製造方法は、以下の工程を含む；
  - (a) ウエハの主面にMOS F E Tを形成する工程、
  - 20 (b) 高純度のC o ターゲットを用いたスパッタリング法によって、前記ウエハの主面上の少なくとも前記MOS F E Tのゲート電極、ソースおよびドレインのそれぞれの上部を含む領域にC o 膜を堆積する工程、
  - (c) 前記ウエハに第1の熱処理を施してC o と S i とを反応させることにより、前記MOS F E Tのゲート電極、ソースおよびドレインのそれぞれの表面にC o  
25 シリサイド層を形成する工程、
  - (d) 前記C o 膜の未反応部分を除去した後、前記ウエハに第2の熱処理を施して前記C o シリサイド層を低抵抗化する工程。
- (2) 本発明の半導体集積回路装置の製造方法は、前記C o ターゲットのC o 純度が99.99%以上であり、F e またはN i の含有量が10 p p m以下である。



(3) 本発明の半導体集積回路装置の製造方法は、前記C oターゲットのC o純度が99.99%以上であり、F eおよびN iの含有量が50ppm以下である。

(4) 本発明の半導体集積回路装置の製造方法は、前記C oターゲットのC o純度が99.99%以上であり、F eおよびN iの含有量が10ppm以下である。

5 (5) 本発明の半導体集積回路装置の製造方法は、前記C oターゲットのC o純度が99.999%である。

(6) 本発明の半導体集積回路装置の製造方法は、前記第1の熱処理の温度が475℃～525℃である。

10 (7) 本発明の半導体集積回路装置の製造方法は、前記第2の熱処理の温度が50℃～800℃である。

(8) 本発明の半導体集積回路装置の製造方法は、前記C o膜の膜厚が18～60nmである。

(9) 本発明の半導体集積回路装置の製造方法は、前記第2の熱処理を施した後の前記C oシリサイド層のシート抵抗が10Ω/□以下である。

15 (10) 本発明の半導体集積回路装置の製造方法は、前記ソース、ドレインの接合深さが0.3μm以下である。

(11) 本発明の半導体集積回路装置の製造方法は、以下の工程を含む；

20 (a) ゲート絶縁膜を形成したウエハの主面上に多結晶シリコン膜および第1絶縁膜を堆積した後、前記第1絶縁膜および前記多結晶シリコン膜をパターニングすることにより、前記ウエハの第1領域に第1ゲート電極パターンを形成し、第2領域に第2ゲート電極パターンを形成する工程、

25 (b) 前記ウエハの第1領域に第1導電型の不純物をイオン打ち込みして、前記第1ゲート電極パターンの両側の前記ウエハに低不純物濃度の第1導電型半導体領域を形成し、前記ウエハの第2領域に第2導電型の不純物をイオン打ち込みして、前記第2ゲート電極パターンの両側の前記ウエハに低不純物濃度の第2導電型半導体領域を形成する工程、

(c) 前記ウエハの主面上に堆積した第2絶縁膜をパターニングして、前記第1および第2ゲート電極パターンのそれぞれの側壁にサイドウォールスペーサを形成すると共に、前記第1および第2ゲート電極パターンのそれぞれの前記第1絶

縁膜を除去することにより、前記多結晶シリコン膜の表面を露出させる工程、

- (d) 前記ウエハの第1領域に第1導電型の不純物をイオン打ち込みして、前記第1ゲート電極パターンで前記多結晶シリコン膜で第1導電型の第1ゲート電極を形成すると共に、前記第1ゲート電極の両側の前記ウエハに高不純物濃度の第1導電型半導体領域を形成し、前記ウエハの第2領域に第2導電型の不純物をイオン打ち込みして、前記第2ゲート電極パターンで第2導電型の第2ゲート電極を形成すると共に、前記第2ゲート電極の両側の前記ウエハに高不純物濃度の第2導電型半導体領域を形成する工程、

- (e) 高純度のCoターゲットを用いたスパッタリング法によって、前記ウエハの主面上にCo膜を堆積する工程、

(f) 前記ウエハに第1の熱処理を施してCoとSiとを反応させることにより、前記第1および第2ゲート電極の表面と、前記高不純物濃度の第1および第2導電型半導体領域の表面とにCoシリサイド層を形成する工程、

- (g) 前記Co膜の未反応部分を除去した後、前記ウエハに第2の熱処理を施して前記Coシリサイド層を低抵抗化する工程。

(12) 本発明の半導体集積回路装置の製造方法は、前記MOSFETの動作電源電圧は、2V以下である。

(13) 本発明の半導体集積回路装置の製造方法は、前記CoターゲットのCo純度が99.99%以上であり、FeまたはNiの含有量が10ppm以下である。

- (14) 本発明の半導体集積回路装置の製造方法は、前記CoターゲットのCo純度が99.99%以上であり、FeおよびNiの含有量が50ppm以下である。

(15) 本発明の半導体集積回路装置の製造方法は、前記CoターゲットのCo純度が99.99%以上であり、FeおよびNiの含有量が10ppm以下である。

- (16) 本発明の半導体集積回路装置の製造方法は、前記CoターゲットのCo純度が99.999%である。

(17) 本発明の半導体集積回路装置の製造方法は、以下の工程を含む；

(a) ウエハの主面にMOSFETを形成した後、前記MOSFETのゲート電極、ソースおよびドレインのそれぞれの表面を露出させる工程、

(b) 高純度のCoターゲットを用いたスパッタリング法によって、前記MOS

FETのゲート電極、ソースおよびドレインのそれぞれの表面を含む前記ウエハの主面上にC<sub>o</sub>膜を堆積する工程、

(c)前記ウエハに第1の熱処理を施してC<sub>o</sub>とSiとを反応させることにより、前記MOSFETのゲート電極、ソースおよびドレインのそれぞれの表面に、主としてC<sub>o</sub>モノシリサイドからなるC<sub>o</sub>シリサイド層を形成する工程、

(d)前記C<sub>o</sub>膜の未反応部分を除去した後、第2の熱処理を施して前記C<sub>o</sub>シリサイド層を主としてC<sub>o</sub>ジシリサイドからなるC<sub>o</sub>シリサイド層に相転移させる工程、

(e)前記MOSFETの上部に金属不純物をゲッタリングするための不純物をドーブした酸化シリコン膜を堆積した後、前記酸化シリコン膜に第3の熱処理を施す工程。

(18)本発明の半導体集積回路装置の製造方法は、前記不純物をドーブした酸化シリコン膜がPSG膜である。

(19)本発明の半導体集積回路装置の製造方法は、前記第3の熱処理の温度が700℃～800℃である。

本発明の目的は、低抵抗で、かつ接合リーク電流の少ないC<sub>o</sub>シリサイド層を形成することのできるシリサイドプロセスを提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、明細書の記述および添付図面から明らかになるであろう。

20

#### 図面の簡単な説明

図1～図7、図9、図12、図13、図16～図20は、本発明の実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図、図8は、不純物を活性化するための750℃、30分の熱処理とこの不純物により形成されるソース、ドレインのリーク電流の関係を示すグラフ、図10は、C<sub>o</sub>膜の堆積に用いるスパッタリング装置のチャンバの概略図、図11は、C<sub>o</sub>ターゲットの斜視図、図14は、ゲート電極、ソースおよびドレインのそれぞれの表面にC<sub>o</sub>シリサイド層を形成したnチャネル型MOSFETおよびpチャネル型MOSFETの拡大図、図15は、C<sub>o</sub>シリサイド層のシート抵抗と第1の熱処理温度

との関係を示すグラフである。

発明を実施するための最良の形態

- 5 本発明をより詳述するために、添付の図面に従ってこれを説明する。なお、実施の形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

本実施の形態は、設計ルールが  $0.25\ \mu\text{m}$  で動作電源電圧が  $2\ \text{V}$  のデュアルゲートCMOSプロセスに適用したものであるが、本発明がこの実施の形態によって限定されるものでないことは勿論である。

- 10 デュアルゲート構造のCMOSFETを形成するには、まず図1に示すように、比抵抗が  $10\ \Omega\cdot\text{cm}$  程度のp型単結晶シリコンからなる半導体基板1の表面を熱酸化して膜厚  $10\ \text{nm}$  の酸化シリコン膜2を形成した後、この酸化シリコン膜2上にCVD法で膜厚  $100\ \text{nm}$  の窒化シリコン膜3を堆積する。次に、フォトリジストをマスクにしたドライエッチングで窒化シリコン膜3をパターニングして、素子分離領域の窒化シリコン膜3を除去する。

次に、図2に示すように、上記窒化シリコン膜3をマスクにして酸化シリコン膜2と半導体基板1とをエッチングすることにより、素子分離領域の半導体基板1に深さ  $350\ \text{nm}$  の溝4aを形成する。

- 20 次に、図3に示すように、半導体基板1上にCVD法で酸化シリコン膜5を堆積した後、CMP法でその表面を平坦化して溝4aの内部に酸化シリコン膜5を残すことにより、素子分離溝4を形成する。続いて、 $1000^\circ\text{C}$  の熱処理を施して素子分離溝4の内部の酸化シリコン膜5をデンシファイした後、熱リン酸を用いたウェットエッチングで窒化シリコン膜3を除去する。

- 25 次に、図4に示すように、半導体基板1にn型ウエル6nおよびp型ウエル6pを形成する。まず、pチャネル型MOSFETの形成領域を開孔したフォトリジストをマスクにして半導体基板1にn型ウエルを形成するための不純物をイオン打ち込みし、さらにpチャネル型MOSFETのしきい値電圧を調整するための不純物をイオン打ち込みする。n型ウエル形成用の不純物は、例えばP(リン)を使用し、エネルギー =  $360\ \text{keV}$ 、ドーズ量 =  $1.5 \times 10^{13}/\text{cm}^2$  でイオン打

ち込みする。また、しきい値電圧調整用の不純物は、例えばPを使用し、エネルギー＝40keV、ドーズ量＝ $2 \times 10^{12}/\text{cm}^2$ でイオン打ち込みする。次に、上記フォトレジストを除去した後、nチャネル型MOSFETの形成領域を開孔したフォトレジストをマスクにして半導体基板1にp型ウエルを形成するための不純物をイオン打ち込みし、さらにnチャネル型MOSFETのしきい値電圧を調整するための不純物をイオン打ち込みする。p型ウエル形成用の不純物は、例えばB（ホウ素）を使用し、エネルギー＝200keV、ドーズ量＝ $1.0 \times 10^{13}/\text{cm}^2$ でイオン打ち込みする。また、しきい値電圧調整用の不純物は、例えばフッ化ホウ素（ $\text{BF}_2$ ）を使用し、エネルギー＝40keV、ドーズ量＝ $2 \times 10^{12}/\text{cm}^2$ でイオン打ち込みする。その後、半導体基板1を950℃で1分間熱処理して上記不純物を活性化することにより、n型ウエル6nおよびp型ウエル6pを形成する。

次に、図5に示すように、半導体基板1を熱酸化してn型ウエル6n、p型ウエル6pのそれぞれの活性領域の表面に膜厚4nmのゲート酸化膜7を形成した後、半導体基板1上にCVD法で膜厚250nmの多結晶シリコン膜8を堆積し、さらに、この多結晶シリコン膜8上にCVD法で酸化シリコン膜9を堆積する。この多結晶シリコン膜8にはn型不純物もp型不純物もドーブしない。

次に、図6に示すように、フォトレジストをマスクにして酸化シリコン膜9および多結晶シリコン膜8をエッチングすることにより、p型ウエル6p上にnチャネル型MOSFETのゲート電極8nを形成し、n型ウエル上にpチャネル型MOSFETのゲート電極8pを形成する。ゲート電極8nおよびゲート電極8pは、ゲート長＝0.25μmで形成する。

次に、フォトレジストおよびゲート電極8pをマスクにしてn型ウエル6nにp型不純物（ $\text{BF}_2$ ）をエネルギー＝20keV、ドーズ量＝ $7.0 \times 10^{13}/\text{cm}^2$ でイオン打ち込みした後、フォトレジストおよびゲート電極8nをマスクにしてp型ウエル6pにエネルギー＝20keV、ドーズ量＝ $3.0 \times 10^{14}/\text{cm}^2$ でn型不純物（ヒ素（As））をイオン打ち込みする。続いて、半導体基板1を1000℃、10秒間熱処理して上記不純物を活性化することにより、ゲート電極8pの両側のn型ウエル6nにp型半導体領域10を形成し、ゲート電極8nの両側

のp型ウエル6 pにn<sup>+</sup>型半導体領域1 1を形成する。

次に、図7に示すように、ゲート電極8 n、8 pの側壁にゲート長方向の膜厚が0.1  $\mu$ mのサイドウォールスペーサ1 2を形成する。サイドウォールスペーサ1 2は、半導体基板1上にCVD法で堆積した酸化シリコン膜を反応性イオンエッチング法で異方的にエッチングして形成する。このエッチングを行うとき、ゲート電極8 n、8 pの上部の酸化シリコン膜9も同時にエッチングしてゲート電極8 n、8 pの表面を露出させる。

次に、フォトレジストをマスクにしてn型ウエル6 nおよびゲート電極7 pにp型不純物(B)をエネルギー=20 keV、ドーズ量=1.0  $\times 10^{14}/\text{cm}^2$ でイオン打ち込みした後、再度p型不純物(B)をエネルギー=5 keV、ドーズ量=2.0  $\times 10^{15}/\text{cm}^2$ でイオン打ち込みする。次に、フォトレジストをマスクにしてp型ウエル6 pおよびゲート電極8 nにn型不純物(P)をエネルギー=40 keV、ドーズ量=2.0  $\times 10^{14}/\text{cm}^2$ でイオン打ち込みした後、n型不純物(As)をエネルギー=60 keV、ドーズ量=3.0  $\times 10^{15}/\text{cm}^2$ でイオン打ち込みする。続いて、半導体基板1を1000℃、10秒間熱処理して上記不純物を活性化することにより、n型ウエル6 nにp<sup>+</sup>型半導体領域1 3を形成すると共にゲート電極8 pの導電型をp型にする。また、p型ウエル6 pにn<sup>+</sup>型半導体領域1 4を形成すると共にゲート電極8 nの導電型をn型にする。p<sup>+</sup>型半導体領域1 3およびn<sup>+</sup>型半導体領域1 4は、それぞれ0.2~0.1  $\mu$ mの接合深さで形成する。

20    なお、上記n型不純物およびp型不純物を活性化するための熱処理(1000℃、10秒)に先だって、半導体基板1を750℃、30分間熱処理することにより、図8に示すように、n<sup>+</sup>型半導体領域1 4の(n<sup>+</sup>/p)接合リークを低減することができる。これは、イオン打ち込みの際に半導体基板1に導入された点欠陥がこの熱処理で回復するためである。この場合、p<sup>+</sup>型半導体領域1 3も同様の効果が期待できるが、p<sup>+</sup>型半導体領域1 3の不純物(B)は拡散速度が大きいため、この程度の温度の熱処理でもある程度拡散してしまう。それを防ぐために、まずn<sup>+</sup>型半導体領域1 4を形成するためのイオン打ち込みを行った直後に750℃、30分の熱処理を行い、次に、p<sup>+</sup>型半導体領域1 3を形成するためのイオン打ち込みを行った後に1000℃、10秒の熱処理を行ってもよい。

次に、 $p^+$ 型半導体領域13、 $n^+$ 型半導体領域14のそれぞれの表面のゲート酸化膜7をフッ酸(HF)を用いたウェットエッチングで除去した後、図9に示すように、Coターゲットを用いたスパッタリング法で半導体基板1上に膜厚15 nmのCo膜16を堆積し、さらにCo膜16上に膜厚10～15 nmの酸化防止膜17を堆積する。酸化防止膜17は、例えばスパッタリング法で堆積したTiN膜を使用する。Co膜16の膜厚は、18～60 nmの範囲とすることが好ましい。膜厚が18 nm以下ではCoシリサイド層のシート抵抗を $10\ \Omega/\square$ 以下に低減することが困難になり、60 nm以上ではソース、ドレインの接合リーク電流が大きくなる。

- 10 図10は、上記Co膜16の堆積に用いるスパッタリング装置のチャンバの概略図である。このチャンバ100は、その内部が真空排気されるようになっており、成膜時にはArガスが導入されて圧力が数mTorr程度に維持される。半導体基板1(ウエハ)を載置するホルダ101の上方には、スパッタ電極102に保持されたCoターゲット103が半導体基板1に対向して配置されており、この
- 15 Coターゲット103に接続されたスパッタ電源104が作動して定常放電が開始されると、Coターゲット103に印加された負の高電圧によって、Coターゲット103と半導体基板1との隙間にプラズマ105が形成される。そして、このプラズマ105からCoターゲット103に向かって加速されたArイオンがCoターゲット103の表面を衝撃すると、ターゲット構成材料(Co)が分
- 20 子(原子)レベルで飛散して半導体基板1の表面にCo膜16が堆積する。

- 図11は、上記Coターゲット103の斜視図である。本実施の形態で使用するCoターゲット103は、少なくともCo純度が99.99%以上で、FeまたはNiの含有量が10 ppm以下、あるいはFeおよびNiの含有量が50 ppm以下である。より好ましくは、Co純度が99.99%以上で、FeおよびNiの含有量が10 ppm以下のもの、さらに好ましくはCo純度が99.999%のものを使用する。このような高純度のCoターゲット103は、電解法などを用いて上記のCo純度が得られるまで精製した原料Co粉末をホットプレスにより焼結体とし、これを例えば円盤状に機械加工することにより製造する。
- 25

次に、図12に示すように、CoとSiとを反応させるための第1の熱処理を

行うことにより、p<sup>+</sup>型半導体領域13、n<sup>+</sup>型半導体領域14、ゲート電極8n、8Pのそれぞれの表面にCoSi層16aを形成する。第1の熱処理は、RTA(Rapid Thermal Anneal)装置を用い、窒素雰囲気中、基板温度を525℃以下に設定して30秒程度行う。ただし、熱処理温度が低すぎるとシリサイド化反応の進行が阻害されるため、基板温度は少なくとも475℃以上に設定することが好ましい。

次に、NH<sub>4</sub>OH+H<sub>2</sub>O<sub>2</sub>水溶液、続いてHCl+H<sub>2</sub>O<sub>2</sub>水溶液を用いたウェットエッチングによって、酸化防止膜17および未反応のCo膜16を除去した後、図13に示すように、第2の熱処理を行うことにより、CoSi層16aをCoSi<sub>2</sub>層16bに相転移させる。第2の熱処理は、RTA装置を用い、窒素雰囲気中、基板温度を650～800℃に設定して1分程度行う。

図14は、ゲート電極、ソースおよびドレインのそれぞれの表面にCoSi<sub>2</sub>層16bを形成したnチャネル型MOSFETおよびpチャネル型MOSFETの拡大図、図15は、CoSi<sub>2</sub>層16bのシート抵抗と第1の熱処理温度との関係を示すグラフである。Coターゲットは、Co純度が99.998%の高純度品(ターゲットB)と、99.9%の低純度品(ターゲットA)とを使用した。ターゲットA、Bに含まれる不純物種とその含有量を表1に示す。

表1 (単位: 重量 ppm)

元 素 名	ターゲットA	ターゲットB
Fe	50	4
Ni	250	6
Cu	<10	<1
Al	<10	<1
C	<10	6
O	6	50
Na	<1	<0.05
K	<1	<0.05

20

図示のように、純度99.998%の高純度ターゲットBから得られたCoSi<sub>2</sub>層16bは、CoSi層16aの第1熱処理温度依存性が小さく、500～60



0℃の温度範囲でほぼ均一になるために、この温度範囲全域で約4Ω/□前後の低いシート抵抗が得られた。

これにより、第1熱処理温度を低く設定してもシート抵抗の低いC o S i <sub>2</sub> 層16bが得られた。また、熱処理温度の低温化によってシリサイド化反応の速度が小さくなり、熱処理時間による膜厚制御性が向上するために、C o S i <sub>2</sub> 層16bの膜厚を接合リーク電流が増加しない範囲に設定することが容易になった。さらに、熱処理温度の低温化によって、C o S i <sub>2</sub> 層16bのはい上がりを防止することができた。

他方、純度99.9%のターゲットAから得られたC o S i <sub>2</sub> 層は、熱処理温度が低いときにはC o 膜の膜厚が薄くなるためにシート抵抗が著しく増大した。また、高純度ターゲットBから得られたC o S i <sub>2</sub> 層と同等のシート抵抗を得るためには、第1熱処理温度を600℃まで高くしなければならなかった。

このように、スパッタリング法で堆積したC o 膜をシリサイド化して、MOS F E Tのゲート電極、ソースおよびドレインのそれぞれの表面にC o S i <sub>2</sub> 層を形成するに際し、C o 純度が99.99%以上で、F e およびN i の含有量が10ppm以下、より好ましくはC o 純度が99.999%の高純度C o ターゲットを用いる本実施の形態によれば、低抵抗で接合リーク電流の少ないC o シリサイド層16bが得られるので、ゲート長が0.25μmの微細なCMOS F E Tを使ったデバイスの高速化、高性能化、低消費電力化を推進することができる。

次に、図16に示すように、半導体基板1上に常圧CVD法で膜厚100nmの酸化シリコン膜18を堆積し、さらにプラズマCVD法で膜厚300～500nmの酸化シリコン膜19を堆積した後、化学的機械研磨(Chemical Mechanical Polishing; CMP)法で酸化シリコン膜19を研磨してその表面を平坦化する。続いて、モノシラン+酸素+フォスフィンをソースガスに用いたCVD法で酸化シリコン膜19上に膜厚200nmのPSG膜20を堆積した後、PSG膜20中の水分を除去するための熱処理(シンタリング)を700～800℃の温度範囲で行う。本実施の形態では、C o S i <sub>2</sub> 層16bの膜厚を十分に確保することができるので、高温のシンタリングを行った場合でもC o S i <sub>2</sub> 層16bの凝集が抑制されるので、C o S i <sub>2</sub> 層16bのシート抵抗の増大を防止できると共に、

プロセスマージンを向上できる。

次に、図17に示すように、フォトリジストをマスクにしてPSG膜20、酸化シリコン膜19、18をエッチングすることにより、p<sup>+</sup>型半導体領域13およびn<sup>+</sup>型半導体領域14のそれぞれの上部に接続孔21を形成した後、PSG膜20  
5 0の上部に第1層配線22を形成する。第1層配線22を形成するには、PSG膜20の上部にCVD法で第1のTiN膜を薄く堆積し、その上部にW膜を厚く堆積した後、W膜をエッチバックして接続孔21の内部に残す。続いて、第1のTiN膜上にスパッタリング法でAl膜および第2のTiN膜を堆積した後、フォトリジストをマスクにして第2のTiN膜、Al膜および第1のTiN膜をバ  
10 ターニングする。

次に、図18に示すように、第1層配線22の上部に第1層間絶縁膜23を形成し、化学的機械研磨法でその表面を平坦化した後、第1層間絶縁膜23に接続孔24を形成する。続いて、第1層間絶縁膜23の上部に第2層配線25を形成することにより、第2層配線25と第1層配線22とを電氣的に接続する。第1  
15 層間絶縁膜23は、プラズマCVD法で堆積した酸化シリコン膜で構成し、第2層配線25は、第1層配線22と同じ材料で構成する。

次に、図19に示すように、上記と同様にして第2層配線25の上部に第2層間絶縁膜26を形成し、表面の平坦化および接続孔27の形成を行った後、第2層間絶縁膜26の上部に第3層配線28を形成する。

その後、図20に示すように、第3層配線25の上部に第3層間絶縁膜29を形成し、表面の平坦化および接続孔30の形成を行った後、第3層間絶縁膜29  
20 の上部に第4層配線31を形成し、さらに第4層配線31の上部に第4層間絶縁膜32を形成し、表面の平坦化および接続孔33の形成を行った後、第4層間絶縁膜32の上部に第5層配線34を形成することにより、本実施の形態の半導体集積回路装置がほぼ完成する。

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

高純度C<sub>60</sub>ターゲットを使用する本発明の製造方法は、例えばMOSFETの

ソース、ドレインの表面のみをＣｏシリサイド化する場合にも適用することができる。

#### 産業上の利用可能性

- 5 以上のように、本発明の半導体集積回路装置の製造方法によれば、Ｃｏシリサイド層の膜厚制御性が向上し、低抵抗で、かつ接合リーク電流の少ないＣｏシリサイド層が得られるので、Ｃｏターゲットを用いたシリサイドプロセスに適用して好適なものである。

## 請 求 の 範 囲

1. 以下の工程を含むことを特徴とする半導体集積回路装置の製造方法；
  - (a) ウエハの主面にMOSFETを形成する工程、
  - 5 (b) 高純度のCoターゲットを用いたスパッタリング法によって、前記ウエハの主面上の少なくとも前記MOSFETのゲート電極、ソースおよびドレインのそれぞれの上部を含む領域にCo膜を堆積する工程、
  - (c) 前記ウエハに第1の熱処理を施してCoとSiとを反応させることにより、前記MOSFETのゲート電極、ソースおよびドレインのそれぞれの表面にCo
  - 10 シリサイド層を形成する工程、
  - (d) 前記Co膜の未反応部分を除去した後、前記ウエハに第2の熱処理を施して前記Coシリサイド層を低抵抗化する工程。
2. 請求項1記載の半導体集積回路装置の製造方法であって、前記CoターゲットのCo純度は99.99%以上であり、FeまたはNiの含有量は10ppm以下
- 15 下であることを特徴とする半導体集積回路装置の製造方法。
3. 請求項1記載の半導体集積回路装置の製造方法であって、前記CoターゲットのCo純度は99.99%以上であり、FeおよびNiの含有量は50ppm以下であることを特徴とする半導体集積回路装置の製造方法。
4. 請求項1記載の半導体集積回路装置の製造方法であって、前記Coターゲット
- 20 トのCo純度は99.99%以上であり、FeおよびNiの含有量は10ppm以下であることを特徴とする半導体集積回路装置の製造方法。
5. 請求項1記載の半導体集積回路装置の製造方法であって、前記CoターゲットのCo純度は、99.999%であることを特徴とする半導体集積回路装置の製造方法。
- 25 6. 請求項1記載の半導体集積回路装置の製造方法であって、前記第1の熱処理の温度は、475℃～525℃であることを特徴とする半導体集積回路装置の製造方法。
7. 請求項1記載の半導体集積回路装置の製造方法であって、前記第2の熱処理の温度は、650℃～800℃であることを特徴とする半導体集積回路装置の製造方法。

造方法。

8. 請求項1記載の半導体集積回路装置の製造方法であって、前記C<sub>o</sub>膜の膜厚は、18～60 nmであることを特徴とする半導体集積回路装置の製造方法。

5 9. 請求項1記載の半導体集積回路装置の製造方法であって、前記第2の熱処理を施した後の前記C<sub>o</sub>シリサイド層のシート抵抗は、10 Ω/□以下であることを特徴とする半導体集積回路装置の製造方法。

10. 請求項1記載の半導体集積回路装置の製造方法であって、前記ソース、ドレインの接合深さは、0.3 μm以下であることを特徴とする半導体集積回路装置の製造方法。

10 11. 以下の工程を含むことを特徴とする半導体集積回路装置の製造方法；

(a) ゲート絶縁膜を形成したウエハの主面上に多結晶シリコン膜および第1絶縁膜を堆積した後、前記第1絶縁膜および前記多結晶シリコン膜をパターニングすることにより、前記ウエハの第1領域に第1ゲート電極パターンを形成し、第2領域に第2ゲート電極パターンを形成する工程、

15 (b) 前記ウエハの第1領域に第1導電型の不純物をイオン打ち込みして、前記第1ゲート電極パターンの両側の前記ウエハに低不純物濃度の第1導電型半導体領域を形成し、前記ウエハの第2領域に第2導電型の不純物をイオン打ち込みして、前記第2ゲート電極パターンの両側の前記ウエハに低不純物濃度の第2導電型半導体領域を形成する工程、

20 (c) 前記ウエハの主面上に堆積した第2絶縁膜をパターニングして、前記第1および第2ゲート電極パターンのそれぞれの側壁にサイドウォールスペーサを形成すると共に、前記第1および第2ゲート電極パターンのそれぞれの前記第1絶縁膜を除去することにより、前記多結晶シリコン膜の表面を露出させる工程、

25 (d) 前記ウエハの第1領域に第1導電型の不純物をイオン打ち込みして、前記第1ゲート電極パターンの前記多結晶シリコン膜で第1導電型の第1ゲート電極を形成すると共に、前記第1ゲート電極の両側の前記ウエハに高不純物濃度の第1導電型半導体領域を形成し、前記ウエハの第2領域に第2導電型の不純物をイオン打ち込みして、前記第2ゲート電極パターンの前記多結晶シリコン膜で第2導電型の第2ゲート電極を形成すると共に、前記第2ゲート電極の両側の前記ウ

エハに高不純物濃度の第２導電型半導体領域を形成する工程、

(e) 高純度のＣｏターゲットを用いたスパッタリング法によって、前記ウエハの主面上にＣｏ膜を堆積する工程、

- (f) 前記ウエハに第１の熱処理を施してＣｏとＳｉとを反応させることにより、  
5 前記第１および第２ゲート電極の表面と、前記高不純物濃度の第１および第２導電型半導体領域の表面とにＣｏシリサイド層を形成する工程、

(g) 前記Ｃｏ膜の未反応部分を除去した後、前記ウエハに第２の熱処理を施して前記Ｃｏシリサイド層を低抵抗化する工程。

- １２．請求項１１記載の半導体集積回路装置の製造方法であって、前記ＭＯＳＦ  
10 ＥＴの動作電源電圧は、２Ｖ以下であることを特徴とする半導体集積回路装置の製造方法。

１３．請求項１１記載の半導体集積回路装置の製造方法であって、前記ＣｏターゲットのＣｏ純度は９９．９９％以上であり、ＦｅまたはＮｉの含有量は１０ｐｐ  
m以下であることを特徴とする半導体集積回路装置の製造方法。

- １４．請求項１１記載の半導体集積回路装置の製造方法であって、前記ＣｏターゲットのＣｏ純度は９９．９９％以上であり、ＦｅおよびＮｉの含有量は５０ｐｐ  
15 m以下であることを特徴とする半導体集積回路装置の製造方法。

- １５．請求項１１記載の半導体集積回路装置の製造方法であって、前記ＣｏターゲットのＣｏ純度は９９．９９％以上であり、ＦｅおよびＮｉの含有量は１０ｐｐ  
20 m以下であることを特徴とする半導体集積回路装置の製造方法。

１６．請求項１１記載の半導体集積回路装置の製造方法であって、前記ＣｏターゲットのＣｏ純度は、９９．９９９％であることを特徴とする半導体集積回路装置の製造方法。

１７．以下の工程を含むことを特徴とする半導体集積回路装置の製造方法；

- 25 (a) ウエハの主面にＭＯＳＦＥＴを形成した後、前記ＭＯＳＦＥＴのゲート電極、ソースおよびドレインのそれぞれの表面を露出させる工程、

(b) 高純度のＣｏターゲットを用いたスパッタリング法によって、前記ＭＯＳＦＥＴのゲート電極、ソースおよびドレインのそれぞれの表面を含む前記ウエハの主面上にＣｏ膜を堆積する工程、

(c) 前記ウエハに第1の熱処理を施してC oとS iとを反応させることにより、前記MOS FETのゲート電極、ソースおよびドレインのそれぞれの表面に、主としてC oモノシリサイドからなるC oシリサイド層を形成する工程、

5 (d) 前記C o膜の未反応部分を除去した後、第2の熱処理を施して前記C oシリサイド層を主としてC oジシリサイドからなるC oシリサイド層に相転移させる工程、

(e) 前記MOS FETの上部に金属不純物をゲッタリングするための不純物をドーピングした酸化シリコン膜を堆積した後、前記酸化シリコン膜に第3の熱処理を施す工程。

10 18. 請求項17記載の半導体集積回路装置の製造方法であって、前記不純物をドーピングした酸化シリコン膜は、P S G膜であることを特徴とする半導体集積回路装置の製造方法。

15 19. 請求項17記載の半導体集積回路装置の製造方法であって、前記第3の熱処理の温度は、700℃～800℃であることを特徴とする半導体集積回路装置の製造方法。

図 1

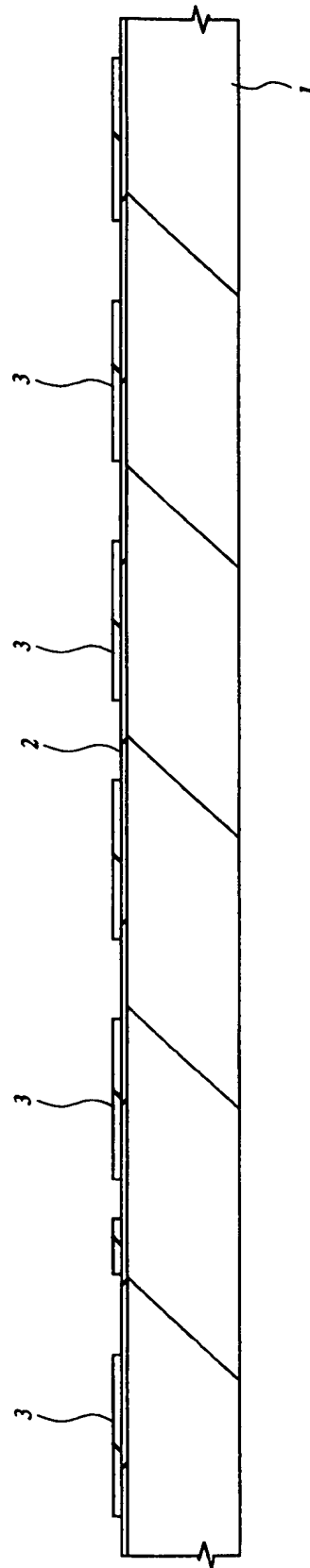




図 2

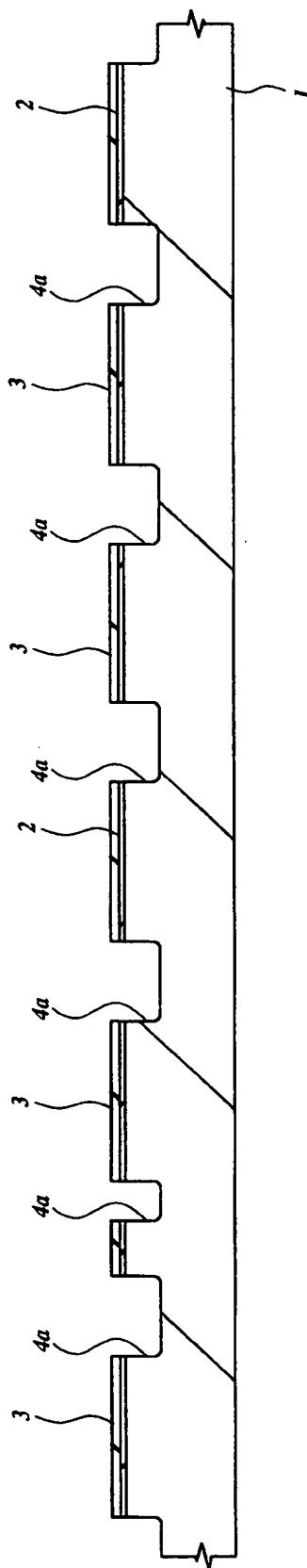


図 3

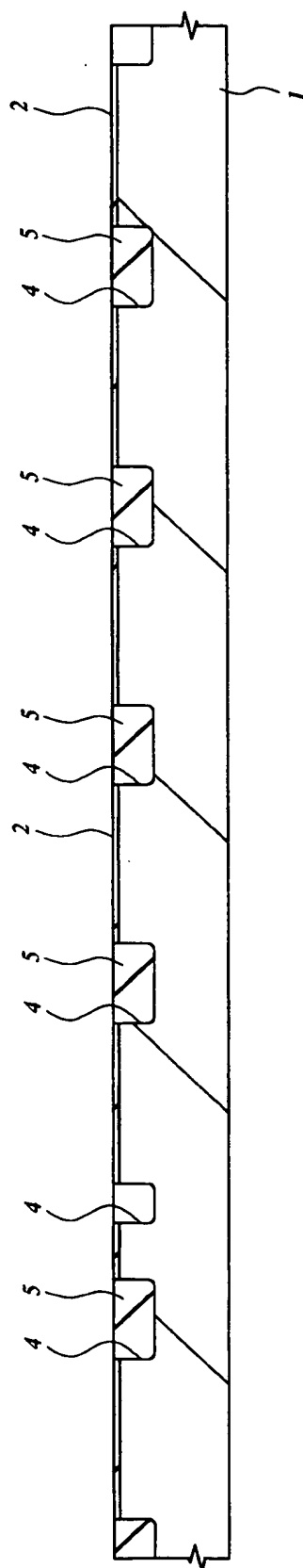


図 4

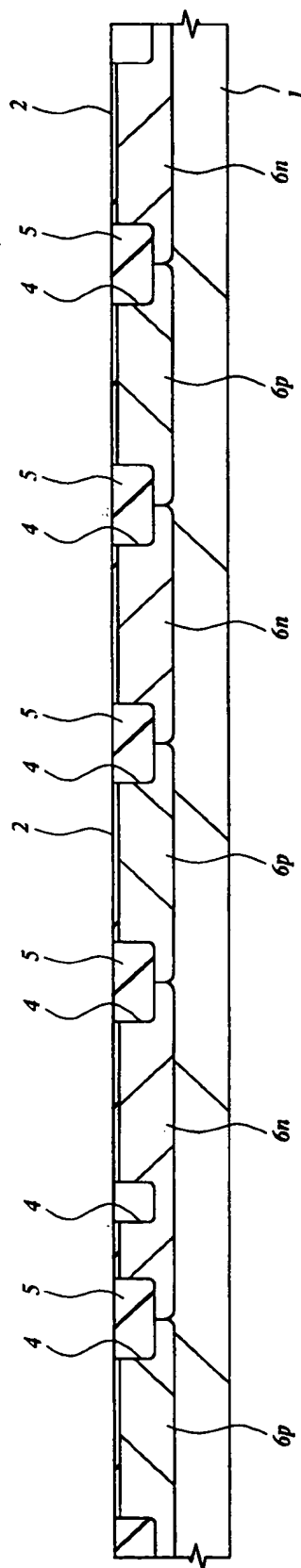


図 5

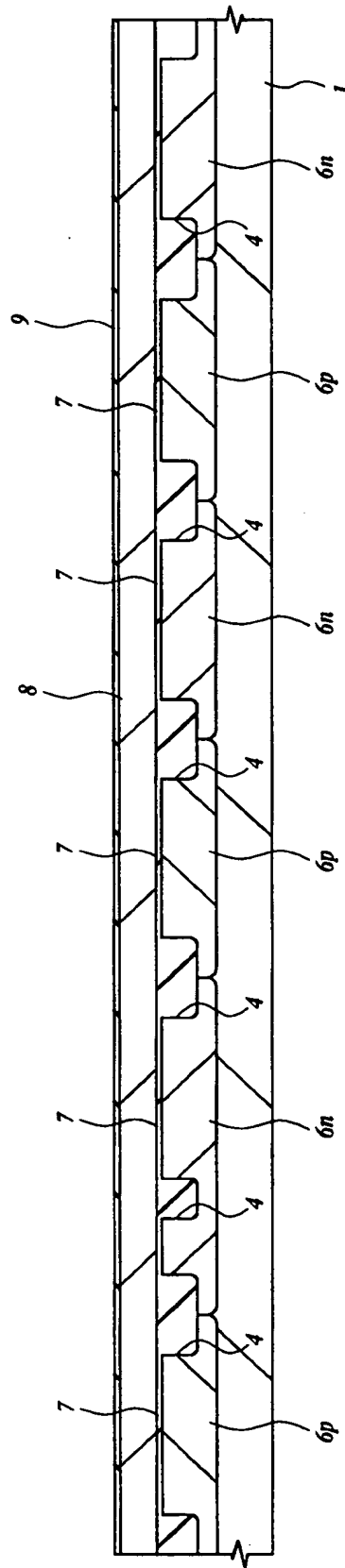


図 6

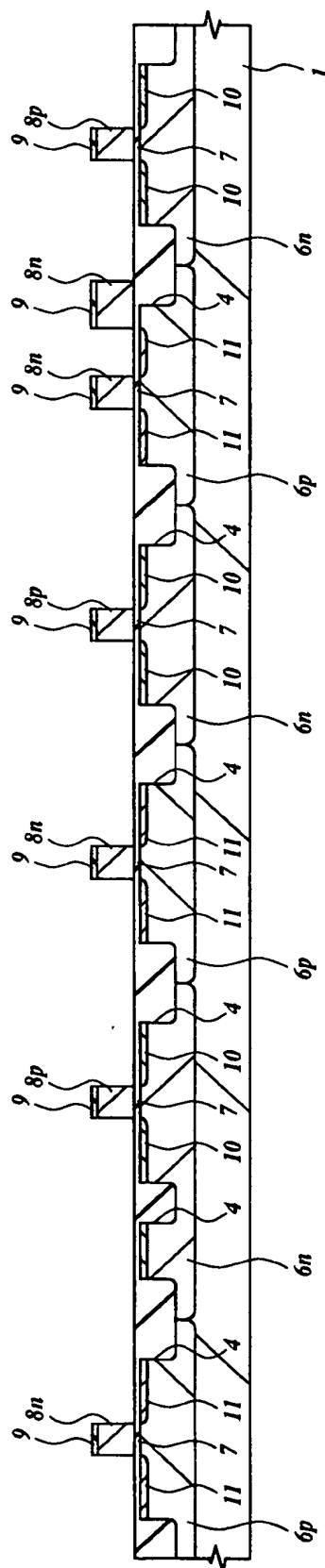


図 7

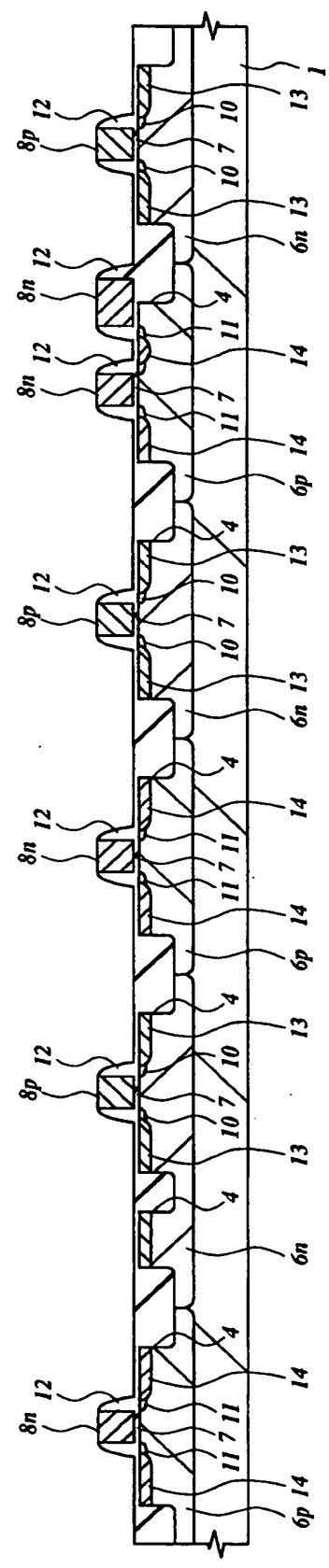
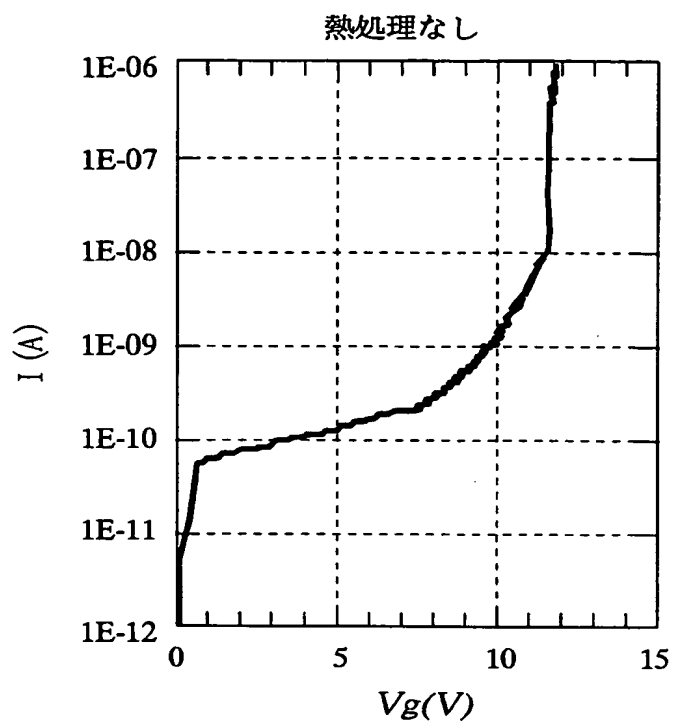
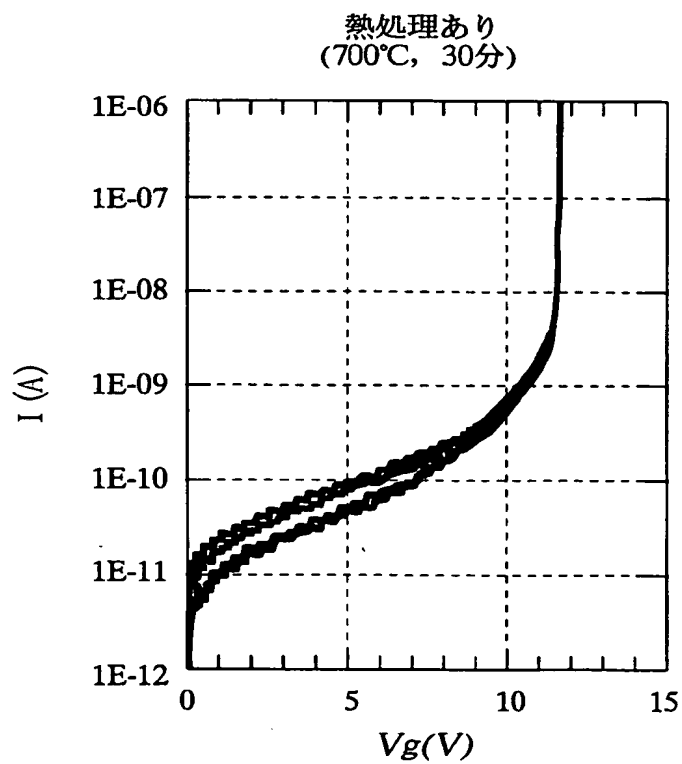


図 8

(a)



(b)



9

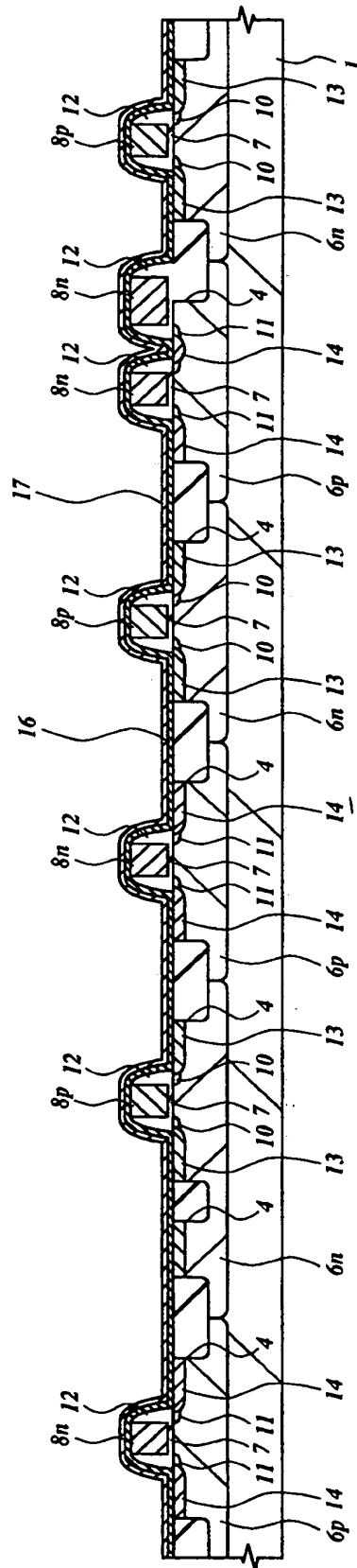




図 10

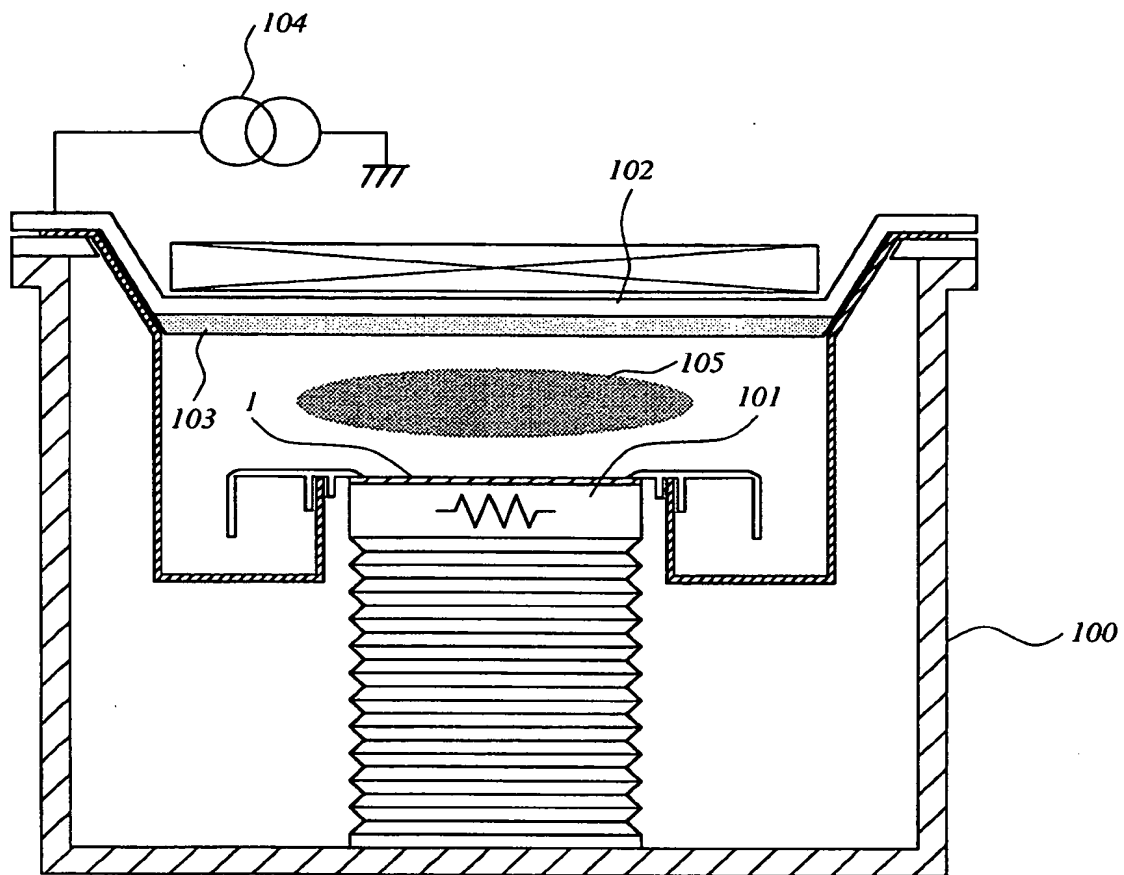


図 11

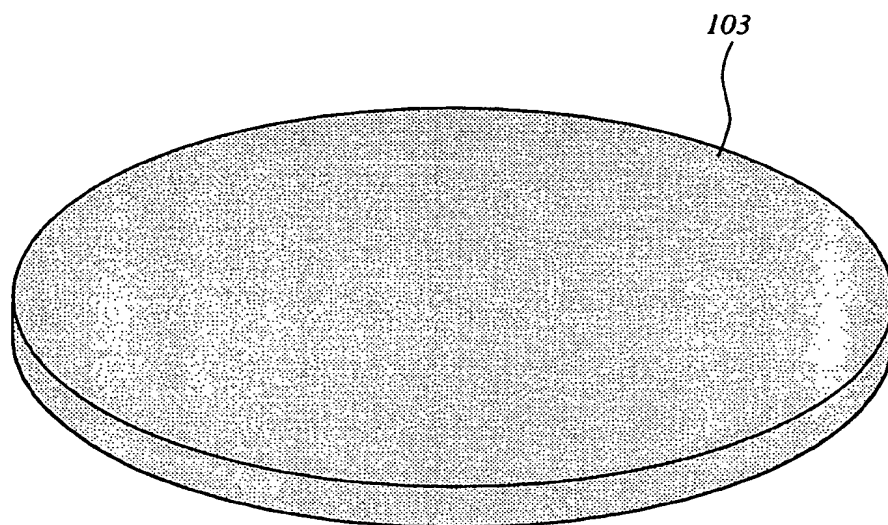


図 12

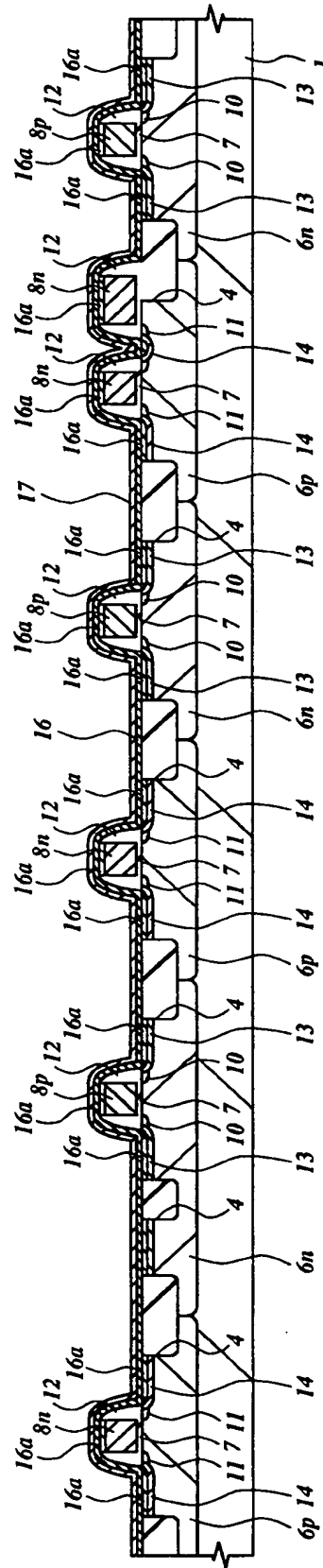




図 14

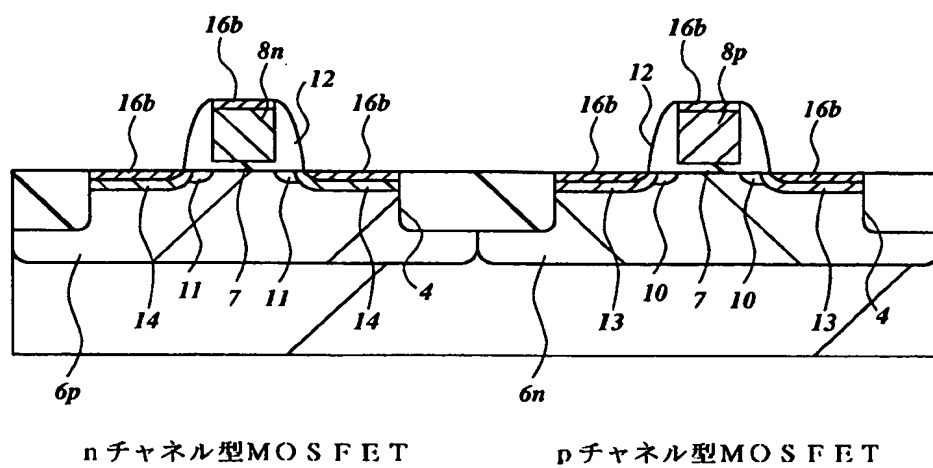
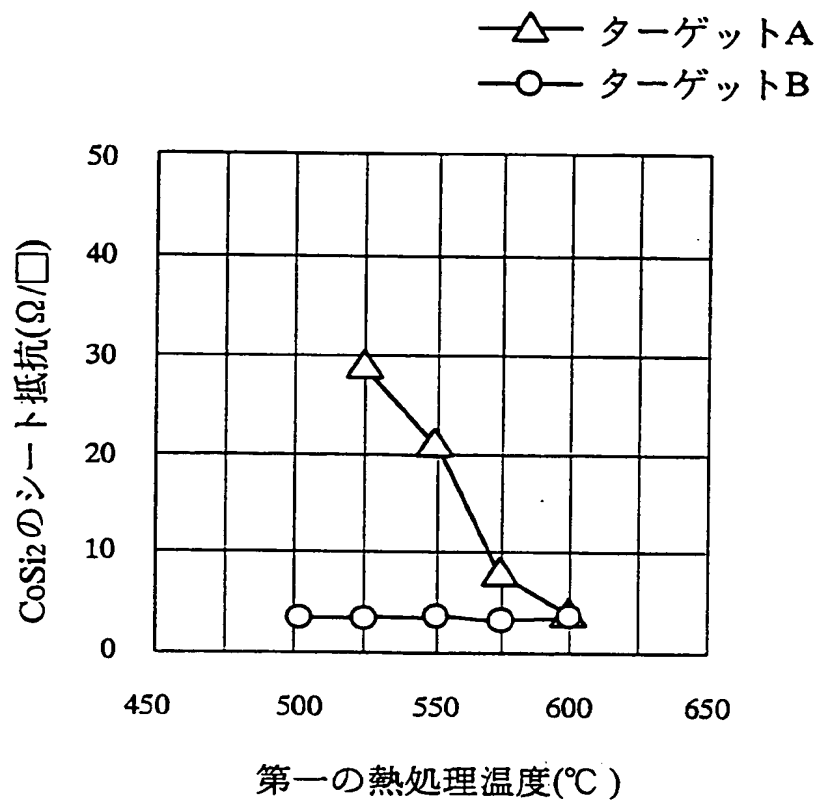
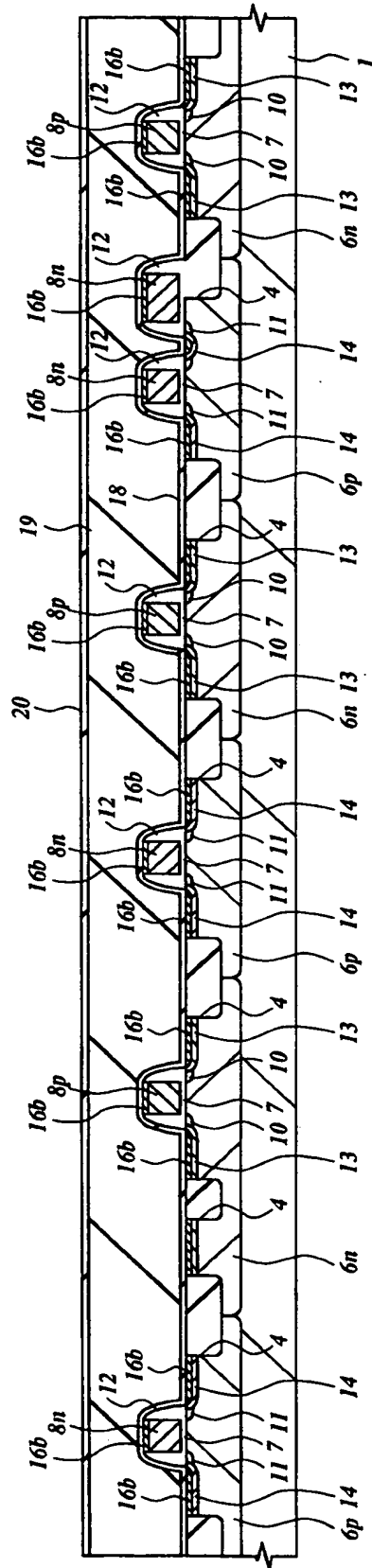
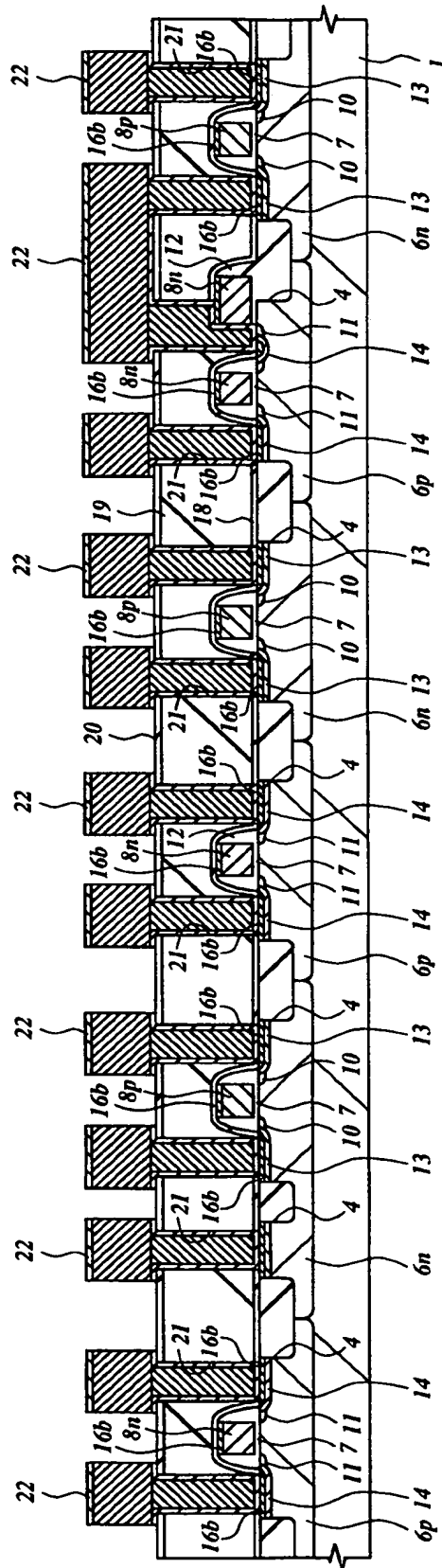


図 15



16







18

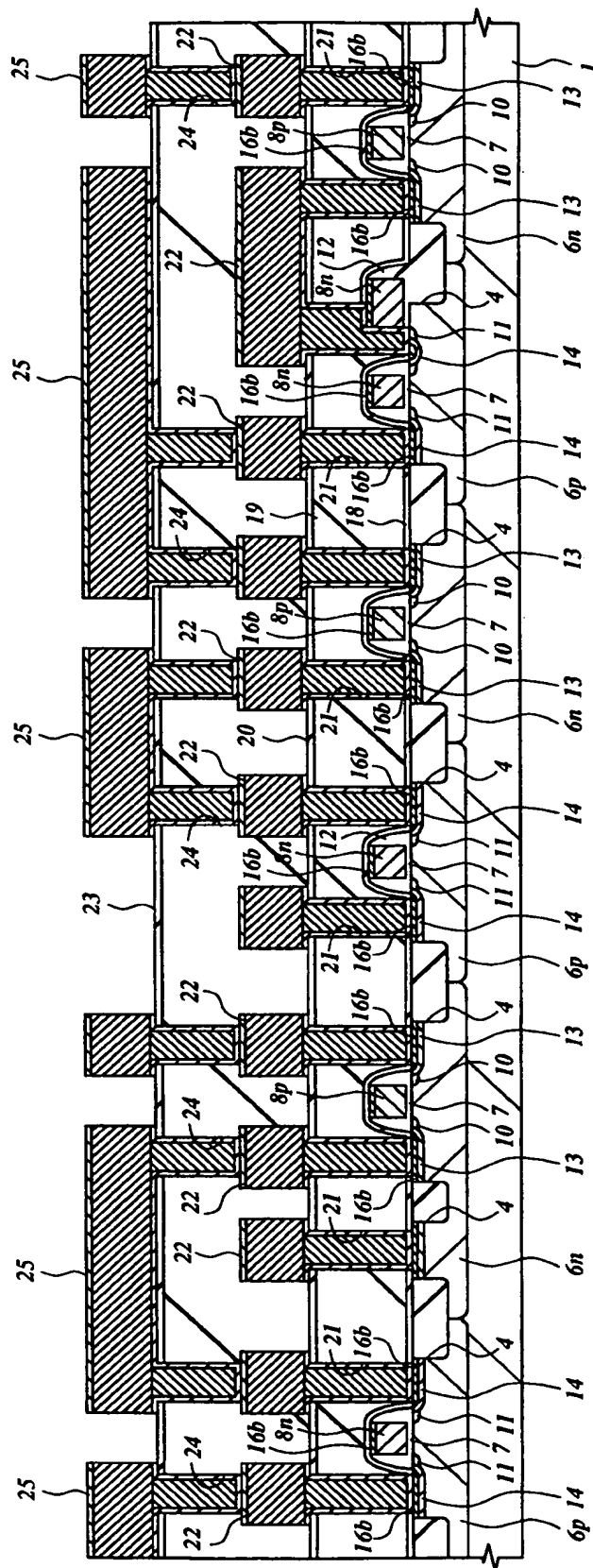
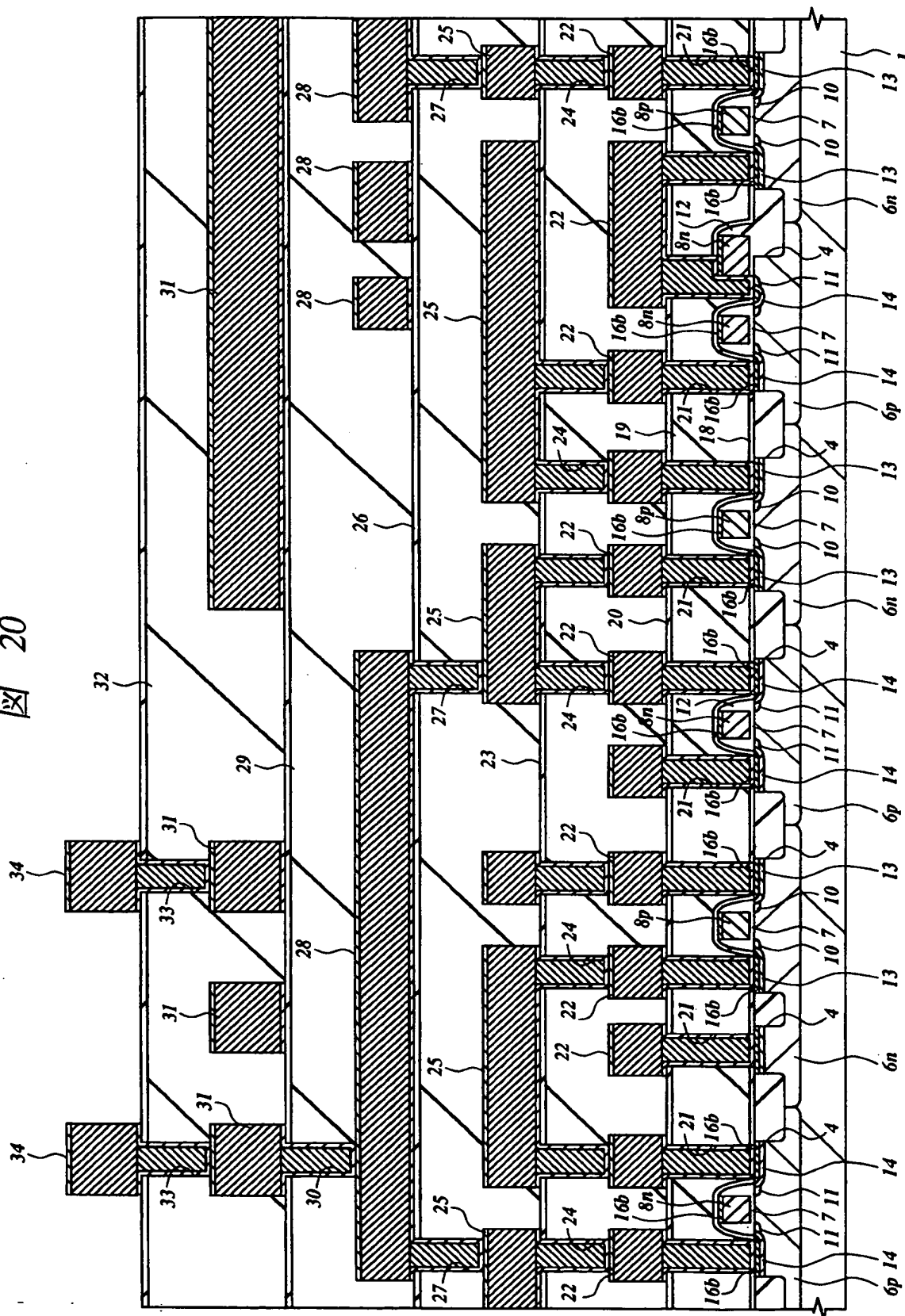




図 20



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP97/00810

## A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl<sup>6</sup> H01L21/28, H01L29/78

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl<sup>6</sup> H01L21/28-288, H01L21/44-445, H01L29/40-51

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1926 - 1992

Kokai Jitsuyo Shinan Koho 1971 - 1997

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP, 5-182982, A (Toshiba Corp.), July 23, 1993 (23. 07. 93), Columns 34 to 101 & EP, 526043, A1 & US, 5316977, A	1, 18
Y		2-17, 19
X	JP, 5-102078, A (Intel Corp.), April 23, 1993 (23. 04. 93), Columns 24 to 48 & US, 5047367, A	1
Y		2 - 19
X	JP, 7-78788, A (Sony Corp.), March 20, 1995 (20. 03. 95), Columns 32 to 51 (Family: none)	1
Y		2 - 19
Y	JP, 7-3486, A (Japan Energy Corp.), January 6, 1995 (06. 01. 95), Columns 8, 26 to 29 (Family: none)	2-5, 13-16



Further documents are listed in the continuation of Box C.



See patent family annex.

## \* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&amp;" document member of the same patent family

Date of the actual completion of the international search

May 27, 1997 (27. 05. 97)

Date of mailing of the international search report

June 10, 1997 (10. 06. 97)

Name and mailing address of the ISA/

Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl. H01L21/28  
H01L29/78

## B. 調査を行った分野

## 調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl. H01L21/28~288  
H01L21/44~445  
H01L29/40~51

## 最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926~1992年  
日本国公開実用新案公報 1971~1997年

## 国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP, 5-182982, A (株式会社東芝) 23, 7月, 1993 (23, 07, 93) 第34欄~第101欄 & EP, 526043, A1 & US, 5316977, A	1, 18
Y		2~17, 19
X	JP, 5-102078, A (インテル・コーポレーション) 23, 4月, 1993 (23, 04, 93) 第24欄~第48欄 & US, 5047367, A	1
Y		2~19
X	JP, 7-78788, A (ソニー株式会社) 20, 3月, 1995 (20, 03, 95) 第32欄~第51欄 (ファミリーなし)	1
Y		2~19

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」先行文献ではあるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」同一パテントファミリー文献

国際調査を完了した日

27.05.97

国際調査報告の発送日

10.06.97

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

土屋 知久

印

4M

8826

電話番号 03-3581-1101 内線3464

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P, 7-3486, A (株式会社ジャパンエナジー) 6, 1月, 1995 (06, 01, 95) 第8欄、第26欄～第29欄 (ファミリーなし)	2～5, 13～16